

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-037656

(43)Date of publication of application : 05.02.2004

(51)Int.Cl. G09G 3/30
G09G 3/20
H03M 1/74
H05B 33/14

(21)Application number : 2002-192435

(71)Applicant : TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO LTD

(22)Date of filing : 01.07.2002

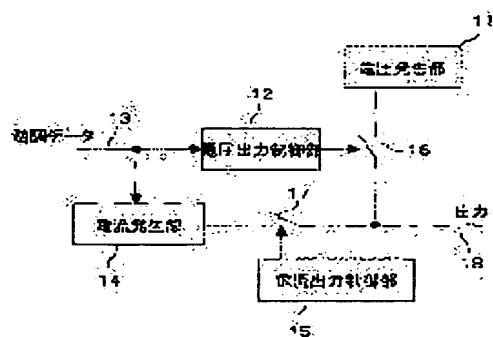
(72)Inventor : TSUGE HITOSHI

(54) DRIVING METHOD, DRIVING CIRCUIT, AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving method for a pixel circuit which does not give rise to a delay in assigning intensity levels even during low gradation, a driving circuit, and a display device.

SOLUTION: The driving circuit for driving the pixel circuit 28 to perform assigning intensity levels by a current capacity with a current output is provided with a voltage generating section 11 for generating the first prescribed voltage and a current generating section 14 for generating the current corresponding to gradation data 13. When the gradation data 13 is greater than the first prescribed value, the current is outputted from the section 14 for the first prescribed period within one horizontal period and when the gradation 13 is smaller than the first prescribed value, the first prescribed voltage is outputted from the section 11 within the second prescribed period in the first prescribed period in place of the current output or the first prescribed voltage is outputted simultaneously with the current output.



16, 17: スイッチ

LEGAL STATUS

[Date of request for examination] 24.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-37656

(P2004-37656A)

(43) 公開日 平成16年2月5日 (2004. 2. 5)

(51) Int. Cl. ⁷

G09G 3/30

G09G 3/20

H03M 1/74

H05B 33/14

F 1

G09G 3/30

G09G 3/30

G09G 3/20 611 J

G09G 3/20 612 F

G09G 3/20 612 U

テーマコード (参考)

3K007

5C080

5J022

審査請求 未請求 請求項の数 14 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2002-192435 (P2002-192435)

(22) 出願日 平成14年7月1日 (2002. 7. 1)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式
社

東京都港区港南4-1-8

(74) 代理人 100092794

弁理士 松田 正道

(72) 発明者 柘植 仁志

東京都港区港南四丁目1番地8号 東芝松
下ディスプレイテクノロジー株式会社内Fターム (参考) 3K007 AB17 BA06 BB07 DB03 GA02
GA04

5C080 AA06 BB05 CC03 DD08 EE28

FF11 JJ02 JJ03 JJ04 JJ05

5J022 AB06 BA05 CF02 CF04 CF05

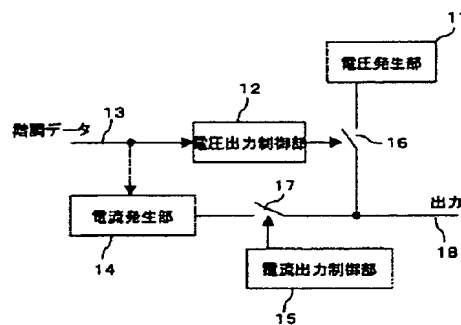
CF07 CF09

(54) 【発明の名称】 駆動方法、駆動用回路、表示装置

(57) 【要約】

【課題】 ソース信号線に流れる電流に応じて階調表示を行なう表示装置において、低電流時にはソース信号線の浮遊容量による波形なまりが大きく、水平走査期間内に所定の電流値まで変化しなかった。

【解決手段】 電流量により階調表示を行なう画素回路28の駆動を、電流出力で行なう駆動用回路において、第1の所定の電圧を発生する電圧発生部11と、階調データ13に応じた電流を発生する電流発生部14と、を備え、階調データ13が第1の所定値以上の場合は、前記電流発生部14から前記電流が1水平期間内の第1の所定期間出力され、階調データ13が前記第1の所定値より小さい場合は、電圧発生部11から前記第1の所定の電圧が前記第1の所定期間内の第2の所定期間内において、前記電流出力に代えて、または前記電流出力と同時に前記第1の所定の電圧が出力される、駆動用回路。



16, 17: スイッチ

【特許請求の範囲】

【請求項 1】

電流量により階調表示を行なう画素回路の駆動を、電流出力で行なう駆動方法において、

第 1 の階調データが第 1 の所定値以上の場合は、前記電流出力を 1 水平期間内の第 1 の所定期間行ない、前記第 1 の階調データが前記第 1 の所定値より小さい場合は、前記第 1 の所定期間内の第 2 の所定期間内において、前記電流出力に替えて、または前記電流出力と同時に第 1 の所定の電圧を出力する、駆動方法。

【請求項 2】

電流量により階調表示を行なう画素回路の駆動を、電流出力で行なう駆動用回路において、

第 1 の所定の電圧を発生する第 1 の電圧発生部と、第 1 の階調データに応じた電流を発生する第 1 の電流発生部と、を備え、

前記第 1 の階調データが第 1 の所定値以上の場合は、前記第 1 の電流発生部から前記電流が 1 水平期間内の第 1 の所定期間出力され、

前記第 1 の階調データが前記第 1 の所定値より小さい場合は、前記第 1 の電圧発生部から前記第 1 の所定の電圧が前記第 1 の所定期間内の第 2 の所定期間内において、前記電流出力に代えて、または前記電流出力と同時に前記第 1 の所定の電圧が出力される、駆動用回路。

【請求項 3】

電流量により階調表示を行なう画素回路の駆動を、電流出力で行なう駆動用回路において、

第 2 の所定の電圧、第 3 の所定の電圧、および第 4 の所定の電圧のうちの少なくともいずれかの電圧を発生する第 2 の電圧発生部と、

第 2 の階調データに応じた電流を発生する第 2 の電流発生部と、

第 3 の階調データに応じた電流を発生する第 3 の電流発生部と、

第 4 の階調データに応じた電流を発生する第 4 の電流発生部と、を備え、

前記第 2 の階調データが第 2 の所定値以上の場合は、前記第 2 の電流発生部から前記第 2 の階調データに応じた電流が 1 水平期間内の第 1 の所定期間出力され、

前記第 3 の階調データが第 3 の所定値以上の場合は、前記第 3 の電流発生部から前記第 3 の階調データに応じた電流が 1 水平期間内の第 1 の所定期間出力され、

前記第 4 の階調データが第 4 の所定値以上の場合は、前記第 4 の電流発生部から前記第 4 の階調データに応じた電流が 1 水平期間内の第 1 の所定期間出力され、

前記第 2 の階調データが前記第 2 の所定値より小さい場合は、前記第 2 の所定の電圧が前記第 1 の所定期間内の第 2 の所定期間内において、前記第 2 の電流出力に代えて、または前記第 2 の電流出力と同時に前記第 2 の所定の電圧が出力され、

前記第 3 の階調データが前記第 3 の所定値より小さい場合は、前記第 3 の所定の電圧が前記第 1 の所定期間内の第 2 の所定期間内において、前記第 3 の電流出力に代えて、または前記第 3 の電流出力と同時に前記第 2 の所定の電圧が出力され、

前記第 4 の階調データが前記第 4 の所定値より小さい場合は、前記第 4 の所定の電圧が前記第 1 の所定期間内の第 2 の所定期間内において、前記第 4 の電流出力に代えて、または前記第 4 の電流出力と同時に前記第 2 の所定の電圧が出力される駆動用回路。

【請求項 4】

前記第 1 の所定の電圧は、前記第 1 の階調データのうち最も低い第 1 の階調データに相当する電圧である、請求項 2 に記載の駆動用回路。

【請求項 5】

前記第 1 の所定の電圧は、前記第 1 の階調データのうちのゼロ階調データに相当する電圧である、請求項 4 に記載の駆動用回路。

【請求項 6】

前記第 2 の所定の電圧は、前記第 2 の階調データのうち最も低い第 2 の階調データに相当する電圧であり、

前記第 3 の所定の電圧は、前記第 3 の階調データのうち最も低い第 3 の階調データに相当する電圧であり、

前記第 4 の所定の電圧は、前記第 4 の階調データのうち最も低い第 4 の階調データに相当する電圧である、請求項 3 に記載の駆動用回路。

【請求項 7】

前記第 2 の所定期間は、前記第 1 の所定期間の終了時点を含まない、請求項 2 ～ 6 のいずれかに記載の駆動用回路。

【請求項 8】

前記第 2 の所定期間は、前記第 1 の所定期間の開始時点を含む、請求項 2 ～ 7 のいずれかに記載の駆動用回路。

【請求項 9】

前記電圧発生部の出力側と前記画素回路のソース信号線との間に接続された第 1 のスイッチと、

階調データが入力され、前記階調データに応じて前記第 1 のスイッチの動作を制御する電圧出力制御部と、

前記電流発生部の出力側と前記画素回路のソース信号線との間に接続された第 2 のスイッチと、

前記第 2 のスイッチの動作を制御する電流出力制御部と、をさらに備える、請求項 2 から 8 のいずれかに記載の駆動用回路。

【請求項 10】

電流量により階調表示を行なう画素回路の駆動を、電流出力で行なう駆動用回路において、

階調データに応じた電流を発生する電流発生部を備え、画素回路に用いられる表示素子の 1 垂直走査期間中の表示時間が、1 垂直走査期間から 1 水平走査期間内の第 1 の所定の期間が減算された期間の $1/N$ 倍 ($N > 1$) で

10

20

30

40

50

あり、

前記電流発生部から出力される電流は、前記表示素子が 1 垂直走査期間から 1 水平走査期間内の第 1 の所定の期間が減算された期間にわたって表示される際に流れる電流に比べて、N 倍である、駆動用回路。

【請求項 11】

前記第 1 の所定期間は、1 水平走査期間である、請求項 2～10 のいずれかに記載の駆動用回路。

【請求項 12】

請求項 2～11 のいずれかに記載の駆動用回路で構成されたソースドライバと、

前記ソースドライバに接続されたソース信号線と、

第 1 の制御信号および第 2 の制御信号を出力するためのゲートドライバと、

前記ゲートドライバに接続され、前記第 1 の制御信号が伝達される第 1 制御線と、

前記ゲートドライバに接続され、前記第 2 の制御信号が伝達される第 2 制御線と、

画素に対応する複数の画素回路と、を備える表示装置であって、

前記画素回路は、

その一端が接地された表示素子と、

電源にそのドレイン側が接続された第 1 のトランジスタと、

前記表示素子の他端にそのソース側が接続された第 2 のトランジスタと、

前記第 2 のトランジスタのドレイン側にそのドレイン側が接続された第 3 のトランジスタと、

前記第 2 のトランジスタのドレイン側にそのソース側が接続された第 4 のトランジスタと、

前記第 1 のトランジスタのゲート側にその一端が接続され、前記第 1 のトランジスタのドレイン側にその他端が接続されたコンデンサと、を有し、

前記第 1 のトランジスタのソース側は、前記第 2 のトランジスタのドレイン側に接続され、

前記第 2 のトランジスタのゲート側は、前記第 2 制御線に接続され、

前記第 3 のトランジスタのゲート側は、前記第 1 制御線に接続され、

前記第 3 のトランジスタのソース側は、前記ソース信号線に接続され、

前記第 4 のトランジスタのゲート側は、前記第 1 制御線に接続され、

前記第 4 のトランジスタのドレイン側は、前記第 1 のトランジスタのゲート側に接続される、表示装置。

【請求項 13】

請求項 2～11 のいずれかに記載の駆動用回路で構成されたソースドライバと、

前記ソースドライバに接続されたソース信号線と、

第 3 の制御信号、第 4 の制御信号、および第 5 の制御信

号を出力するためのゲートドライバと、

前記ゲートドライバに接続され、前記第 3 の制御信号が伝達される第 3 制御線と、

前記ゲートドライバに接続され、前記第 4 の制御信号が伝達される第 4 制御線と、

前記ゲートドライバに接続され、前記第 5 の制御信号が伝達される第 5 制御線と、

画素に対応する複数の画素回路と、を備える表示装置であって、

10 前記画素回路は、

その一端が接地された表示素子と、

電源にそのドレイン側が接続された第 1 のトランジスタと、

前記表示素子の他端にそのソース側が接続された第 2 のトランジスタと、

前記ソース信号線にそのソース側が接続された第 3 のトランジスタと、

前記第 3 のトランジスタのドレイン側にそのソース側が接続された第 4 のトランジスタと、

20 前記第 3 のトランジスタのドレイン側にそのソース側が接続された第 5 のトランジスタと、

前記第 1 のトランジスタのゲート側にその一端が接続され、前記第 1 のトランジスタのドレイン側にその他端が接続されたコンデンサと、を有し、

前記第 1 のトランジスタのソース側は、前記第 2 のトランジスタのドレイン側に接続され、

前記第 2 のトランジスタのゲート側は、前記第 5 制御線に接続され、

前記第 3 のトランジスタのゲート側は、前記第 3 制御線に接続され、

30 前記第 4 のトランジスタのゲート側は、前記第 4 制御線に接続され、

前記第 4 のトランジスタのドレイン側は、前記第 1 のトランジスタのゲート側に接続され、

前記第 5 のトランジスタのゲート側は、前記第 1 のトランジスタのゲート側に接続され、

前記第 5 のトランジスタのドレイン側は、前記第 1 のトランジスタのドレイン側に接続される、表示装置。

【請求項 14】

40 前記表示素子は、有機発光素子である、請求項 12 または 13 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機電界発光素子など、電流量により階調表示を行なう画素回路の駆動のために電流出力を行なう駆動方法、駆動用回路、表示装置に関する。

【0002】

【従来の技術】

50 有機発光素子は、自発光素子であるため、液晶表示装置

で必要とされるバックライトが不要であり、視野角が広いなどの利点から、次世代表示装置として期待されている。

【0003】

有機発光素子のように、素子の発光強度と素子に印加される電界が比例関係とならず、素子の発光強度と素子を流れる電流密度が比例関係にあるため、素子の膜厚のばらつき及び入力信号値のばらつきに対し、発光強度のばらつきは電流制御により階調表示を行なうほうが小さくすることができる。

【0004】

図 24 に従来の電流量により階調表示を行なう表示装置に用いる、電流出力を行なう駆動用回路のブロック構成を示す。従来の駆動用回路においては、入力された階調データに応じて電流発生部 114 は電流を発生させ、所定のタイミングでソース信号線 21a に接続される出力 118 に上記電流を供給する。そして、階調データが異なれば電流発生部 114 は、異なる階調データに対応した電流を発生させ、同様に出力 118 に出力する。

【0005】

図 25 は、このような駆動用回路を備えたソースドライバを 101 を用いて構成した表示装置の例を示す。図 25 に示す各画素 28 の有機発光素子 24 を表示させるには、1 水平走査期間内で信号線 25 によりトランジスタ 22c 及び 22d を導通状態とし、電源 27 よりトランジスタ 22a 及びソース信号線 21a を介してソースドライバ 101 に電流 (I3) を引き込ませる。この状態でのトランジスタ 22a の周囲の等価回路を図 18

(a) に示す。図 18 (a) において、ソースドライバ 101 は、電流源 125 として示されている。

【0006】

この時の電流量の大小により階調表示を行なう。コンデンサ 23 にはトランジスタ 22a のドレイン電流に対応するゲート電圧に応じた電荷が蓄積される。すなわち、電流源 125 に引かれることによりトランジスタ 22a に電流が流れると、I3 の電流が流れると、図 18

(b) に示すトランジスタ 22a のソースドレイン間の V-I 特性から決定される電圧 V3 がコンデンサ 23 に印加され、コンデンサ 23 には、電圧 V3 に応じた電荷が蓄積される。

【0007】

その後、信号線 26 によりトランジスタ 22b を導通させ、信号線 25 によりトランジスタ 22c、22d を非導通状態とし、電源 27 よりコンデンサ 23 の電荷に応じた電流 I3 がトランジスタ 22a を介して有機発光素子 24 に流れる。

【0008】

【発明が解決しようとする課題】

しかしながら、従来の駆動用回路を使用した表示装置においては、ソース信号線 21a の浮遊容量 29a とトラ

ンジスタ 22a のソースドレイン間の抵抗との積によりソース信号線 21a に流れる電流は徐々に変化する。そのため浮遊容量 29a の値及び上記抵抗値が大きくなると、1 水平走査期間内に電流が所定の値まで変化しないことがある。

【0009】

例えば、電流源 125 を制御してトランジスタ 22a に流れる電流を図 18 (b) に示す I3 から I1 に変化させコンデンサ 23 の両端に電圧 V1 を印加しようとする場合を考える。図 18 (b) のトランジスタ 22a の特性によると、電流 I3 が流れている場合よりも電流 I1 が流れている場合の方がトランジスタ 22a のソースドレイン間の抵抗が大きいことがわかる。

【0010】

このように、ソース信号線 21a に流れる電流が小さく (低階調に) なるにつれ、トランジスタ 22a のソースドレイン間抵抗が大きくなる。電流が I3 から I1 に変化する際の時定数は、経路の抵抗と浮遊容量 29a の積で表されるため、電流が小さくなるほど、変化に時間がかかる。トランジスタ 22a のダイオード特性と、ソース信号線 21a の浮遊容量 29a の容量値によるが、例えばソース信号線 21a に流す電流が $1\mu\text{A}$ に変化するのに $50\mu\text{s}$ かかるのに対し、 10nA に変化するのに $250\mu\text{s}$ かかる。

【0011】

ソース信号線 21a に流れる電流値は電源 27 からトランジスタ 22a を介して、電荷をソース信号線 21a に供給し、浮遊容量 29a の電荷を変化させることで、ソース信号線 21a の電圧を変化させ、トランジスタ 22a を流れる電流 (= ソース信号線 21a を流れる電流) が変化する。電荷の供給量が、電流が小さい領域では少ないため、ソース信号線 21a の電圧変化が遅くなり、その結果電流値の変化も遅くなる。

【0012】

これにより水平走査期間を短くすることができず、表示行数によってはフレーム周波数の低下によりフリッカが発生するという問題がある。

【0013】

本発明は、上記の課題を鑑み、低階調時においても、階調表示に遅れを生じない、画素回路の駆動方法、駆動用回路、表示装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

上記課題を解決するための第 1 の本発明は、電流量により階調表示を行なう画素回路の駆動を、電流出力で行なう駆動方法において、第 1 の階調データが第 1 の所定値以上の場合、前記電流出力を 1 水平期間内の第 1 の所定期間行ない、前記第 1 の階調データが前記第 1 の所定値より小さい場合は、前記第 1 の所定期間内の第 2 の所定期間内において、前記電流出力に替えて、または前記

10

20

30

40

50

電流出力と同時に第1の所定の電圧を出力する、駆動方法である。

【0015】

第2の本発明は、電流量により階調表示を行なう画素回路の駆動を、電流出力で行なう駆動用回路において、第1の所定の電圧を発生する第1の電圧発生部と、第1の階調データに応じた電流を発生する第1の電流発生部と、を備え、前記第1の階調データが第1の所定値以上の場合は、前記第1の電流発生部から前記電流が1水平期間内の第1の所定期間出力され、前記第1の階調データが前記第1の所定値より小さい場合は、前記第1の電圧発生部から前記第1の所定の電圧が前記第1の所定期間内の第2の所定期間内において、前記電流出力に代えて、または前記電流出力と同時に前記第1の所定の電圧が出力される、駆動用回路である。

【0016】

第3の本発明は、電流量により階調表示を行なう画素回路の駆動を、電流出力で行なう駆動用回路において、第2の所定の電圧、第3の所定の電圧、および第4の所定の電圧のうちの少なくともいずれかの電圧を発生する第2の電圧発生部と、第2の階調データに応じた電流を発生する第2の電流発生部と、第3の階調データに応じた電流を発生する第3の電流発生部と、第4の階調データに応じた電流を発生する第4の電流発生部と、を備え、前記第2の階調データが第2の所定値以上の場合は、前記第2の電流発生部から前記第2の階調データに応じた電流が1水平期間内の第1の所定期間出力され、前記第3の階調データが第3の所定値以上の場合は、前記第3の電流発生部から前記第3の階調データに応じた電流が1水平期間内の第1の所定期間出力され、前記第4の階調データが第4の所定値以上の場合は、前記第4の電流発生部から前記第4の階調データに応じた電流が1水平期間内の第1の所定期間出力され、前記第2の階調データが前記第2の所定値より小さい場合は、前記第2の所定の電圧が前記第1の所定期間内の第2の所定期間内において、前記第2の電流出力に代えて、または前記第2の電流出力と同時に前記第2の所定の電圧が出力され、前記第3の階調データが前記第3の所定値より小さい場合は、前記第3の所定の電圧が前記第1の所定期間内の第2の所定期間内において、前記第3の電流出力に代えて、または前記第3の電流出力と同時に前記第2の所定の電圧が出力され、前記第4の階調データが前記第4の所定値より小さい場合は、前記第4の所定の電圧が前記第1の所定期間内の第2の所定期間内において、前記第4の電流出力に代えて、または前記第4の電流出力と同時に前記第2の所定の電圧が出力される駆動用回路である。

【0017】

第4の本発明は、前記第1の所定の電圧は、前記第1の階調データのうち最も低い第1の階調データに相当する

電圧である、第2の本発明の駆動用回路である。

【0018】

第5の本発明は、前記第1の所定の電圧が、前記第1の階調データのうちのゼロ階調データに相当する電圧である、第4の本発明の駆動用回路である。

【0019】

第6の本発明は、前記第2の所定の電圧が、前記第2の階調データのうち最も低い第2の階調データに相当する電圧であり、前記第3の所定の電圧が、前記第3の階調データのうち最も低い第3の階調データに相当する電圧であり、前記第4の所定の電圧が、前記第4の階調データのうち最も低い第4の階調データに相当する電圧である、第3の本発明の駆動用回路である。

【0020】

第7の本発明は、前記第2の所定期間が、前記第1の所定期間の終了時点を含まない、第2～6の本発明のいずれかの駆動用回路である。

【0021】

第8の本発明は、前記第2の所定期間が、前記第1の所定期間の開始時点を含む、第2～7の本発明のいずれかの駆動用回路である。

【0022】

第9の本発明は、前記電圧発生部の出力側と前記画素回路のソース信号線との間に接続された第1のスイッチと、階調データが入力され、前記階調データに応じて前記第1のスイッチの動作を制御する電圧出力制御部と、前記電流発生部の出力側と前記画素回路のソース信号線との間に接続された第2のスイッチと、前記第2のスイッチの動作を制御する電流出力制御部と、をさらに備える、第2から8の本発明のいずれかの駆動用回路である。

【0023】

第10の本発明は、電流量により階調表示を行なう画素回路の駆動を、電流出力で行なう駆動用回路において、階調データに応じた電流を発生する電流発生部を備え、画素回路に用いられる表示素子の1垂直走査期間中の表示時間が、1垂直走査期間から1水平走査期間内の第1の所定の期間が減算された期間の1/N倍 ($N > 1$) であり、前記電流発生部から出力される電流は、前記表示素子が1垂直走査期間から1水平走査期間内の第1の所定の期間が減算された期間にわたって表示される際に流れる電流に比べて、N倍である、駆動用回路である。

【0024】

第11の本発明は、前記第1の所定期間が、1水平走査期間である、第2～10のいずれかの駆動用回路である。

【0025】

第12の本発明は、第2～11の本発明のいずれかの駆動用回路で構成されたソースドライバと、前記ソースドライバに接続されたソース信号線と、第1の制御信号お

10

20

30

40

50

よび第2の制御信号を出力するためのゲートドライバと、前記ゲートドライバに接続され、前記第1の制御信号が伝達される第1制御線と、前記ゲートドライバに接続され、前記第2の制御信号が伝達される第2制御線と、画素に対応する複数の画素回路と、を備える表示装置であって、前記画素回路は、その一端が接地された表示素子と、電源にそのドレイン側が接続された第1のトランジスタと、前記表示素子の他端にそのソース側が接続された第2のトランジスタと、前記第2のトランジスタのドレイン側にそのドレイン側が接続された第3のトランジスタと、前記第2のトランジスタのドレイン側にそのソース側が接続された第4のトランジスタと、前記第1のトランジスタのゲート側にその一端が接続され、前記第1のトランジスタのドレイン側にその他端が接続されたコンデンサと、を有し、前記第1のトランジスタのソース側は、前記第2のトランジスタのドレイン側に接続され、前記第2のトランジスタのゲート側は、前記第2制御線に接続され、前記第3のトランジスタのゲート側は、前記第1制御線に接続され、前記第3のトランジスタのソース側は、前記ソース信号線に接続され、前記第4のトランジスタのゲート側は、前記第1制御線に接続され、前記第4のトランジスタのドレイン側は、前記第1のトランジスタのゲート側に接続される、表示装置である。

【0026】

第13の本発明は、第2～11の本発明のいずれかの駆動回路で構成されたソースドライバと、前記ソースドライバに接続されたソース信号線と、第3の制御信号、第4の制御信号、および第5の制御信号を出力するためのゲートドライバと、前記ゲートドライバに接続され、前記第3の制御信号が伝達される第3制御線と、前記ゲートドライバに接続され、前記第4の制御信号が伝達される第4制御線と、前記ゲートドライバに接続され、前記第5の制御信号が伝達される第5制御線と、画素に対応する複数の画素回路と、を備える表示装置であって、前記画素回路は、その一端が接地された表示素子と、電源にそのドレイン側が接続された第1のトランジスタと、前記表示素子の他端にそのソース側が接続された第2のトランジスタと、前記ソース信号線にそのソース側が接続された第3のトランジスタと、前記第3のトランジスタのドレイン側にそのソース側が接続された第4のトランジスタと、前記第3のトランジスタのドレイン側にそのソース側が接続された第5のトランジスタと、前記第1のトランジスタのゲート側にその一端が接続され、前記第1のトランジスタのドレイン側にその他端が接続されたコンデンサと、を有し、前記第1のトランジスタのソース側は、前記第2のトランジスタのドレイン側に接続され、前記第2のトランジスタのゲート側は、前記第5制御線に接続され、前記第3のトランジスタのゲート側は、前記第3制御線に接続され、前記第4のト

ランジスタのゲート側は、前記第4制御線に接続され、前記第4のトランジスタのドレイン側は、前記第1のトランジスタのゲート側に接続され、前記第5のトランジスタのゲート側は、前記第1のトランジスタのゲート側に接続され、前記第5のトランジスタのドレイン側は、前記第1のトランジスタのドレイン側に接続される、表示装置である。

【0027】

第14の本発明は、前記表示素子が、有機発光素子である、第12または13の本発明の表示装置である。

【0028】

【発明の実施の形態】

（実施の形態1）

図1に本発明の実施の形態1の駆動回路の構成を示す。以下、図1、図2を参照しながら本実施の形態の駆動回路の構成および動作を説明する。

【0029】

図1に記載の駆動回路は、本発明の第1の所定の電圧の一例である、本発明の第1の階調データの一例である階調データ13に応じた電流を発生する本発明の第1の電流発生部の一例である電流発生部14と、ゼロ階調に相当する電圧（以下黒電圧とする）を発生する本発明の第1の電圧発生部の一例である電圧発生部11と、階調データ13に応じて電圧発生部11からの出力を制御する電圧出力制御部12と、電圧制御部12による制御により電圧発生部11からの出力をON、OFFさせる本発明の第1のスイッチの一例であるスイッチ16と、電流発生部14からの出力を制御する電流出力制御部15と、電流出力制御部15による制御により電流発生部14からの出力をON、OFFさせる本発明の第2のスイッチの一例であるスイッチ17とから構成される。

【0030】

図2は、このような駆動回路を備えたソースドライバ1を用いて構成された表示装置の例を示す。

【0031】

図2に示す表示装置は、第1の制御信号を出力するための本発明の第1制御線の一例である信号線25、および第2の制御信号を出力するための本発明の第2制御線の一例である信号線26を有するゲートドライバ2と、画素に対応する複数の画素回路と、を備える表示装置である。

【0032】

ここでは、複数の画素回路のうち、画素回路28aの構成について説明する。他の画素回路についても同様の構成である。画素回路28aは、その一端が接地された本発明の表示素子の一例である有機発光素子24と、電源27にそのドレイン側が接続された本発明の第1のトランジスタの一例であるトランジスタ22aと、有機発光素子24の他端にそのソース側が接続された本発明の第2のトランジスタの一例であるトランジスタ22bと、

トランジスタ 22b のドレイン側にそのドレイン側が接続された本発明の第 3 のトランジスタの一例であるトランジスタ 22c と、トランジスタ b のドレイン側にそのソース側が接続された本発明の第 4 のトランジスタの一例であるトランジスタ 22d と、トランジスタ 22a のゲート側にその一端が接続され、トランジスタ 22a のドレイン側にその他端が接続されたコンデンサ 23 と、を有している。

【0033】

そして、トランジスタ 22a のソース側は、トランジスタ 22b のドレイン側に接続され、トランジスタ 22b のゲート側は、信号線 26 に接続され、トランジスタ 22c のゲート側は、信号線 25 に接続され、トランジスタ 22c のソース側は、ソース信号線 21a に接続され、トランジスタ 22d のゲート側は、信号線 25 に接続され、トランジスタ 22d のドレイン側は、トランジスタ 22a のゲート側に接続されている。

【0034】

階調データ 13 に応じた電流が電流発生部 14 より出力される。1 水平走査期間内で電圧印加を最初の $1 \sim 3 \mu$ 秒、その後電流出力を行なうために、制御部 12 で 1 水平走査期間を検出し、クロック及びカウンタなどによりスイッチ 16 の導通期間を設定する。スイッチ 17 は常に導通状態であっても構わないが、スイッチ 16 の導通期間には非導通状態とするほうが望ましい。図 11 に 1 水平走査期間内でのスイッチ 16 およびスイッチ 17 の動作を示す。

【0035】

図 2 中の各画素の有機発光素子 24 を表示させるには、1 水平走査期間内で信号線 25 によりトランジスタ 22c 及び 22d を導通状態とし、電源 27 よりトランジスタ 22a 及びソース信号線 21a を介してソースドライバ 1 に電流 (I1) を引き込ませる。この時の電流量の大小により階調表示を行なう。コンデンサ 23 にはトランジスタ 22a のドレイン電流に対応するゲート電圧に応じた電荷が蓄積される。

【0036】

その後信号線 26 によりトランジスタ 22b を導通させ、信号線 25 によりトランジスタ 22c、22d を非導通状態とし、電源 27 よりコンデンサ 23 の電荷に応じた電流がトランジスタ 22a を介して有機発光素子 24 に流れる。

【0037】

このとき、有機発光素子 24 に流れる電流値の変化を早くするためには、所定のソース電流値に対する電圧をソース信号線 21a に印加すれば、トランジスタ 22a のゲート電位もソース信号線 21a の浮遊容量と配線抵抗の積による時定数により変化する。これによりトランジスタ 22a は所定の電流をソース信号線 21a に流すように変化する。

【0038】

配線抵抗は、トランジスタ 22a のソースドレイン間抵抗に比べ、非常に小さいため、変化も非常に早くなる。 $1 \sim 3 \mu$ 秒程度で変化する。

【0039】

但し、所定の電流値をソース信号線 21a に流すためのソース電圧はトランジスタ 22a の電流-電圧特性のばらつきにより変化する。したがって所定電流値からのずれを補償するために所定電流値を流す電流源をソース信号線 21a に接続して、ソース信号線 21a に流れる電流値を所定電流値にまで変化させる。

【0040】

このことを実現するために、ソースドライバ 1 の各出力部を図 1 のような構成として、ソース信号線 21a に最初に黒電圧を出力し、次に階調データ 13 に応じた電流を出力する。

【0041】

階調データ 13 に応じた電流を発生する電流発生部 14 が 18 に出力され、ソース信号線 21 に階調に応じた電流を流す。その一方でソース信号線 21 に黒電圧を印加するために電圧発生部 11 をスイッチ 16 を介して 18 に出力できるようにされている。

【0042】

階調に応じた電圧を印加後、階調に応じた電流を流す方法では複数の電圧源と複数の電流源が必要となるので、回路規模が大きくなる。

【0043】

電流値の変化は、トランジスタ 22a の見かけの抵抗が、低階調表示時に比べ高階調表示時の方が小さくなるため、波形の変化の速度は階調が増加するにつれ早くなる。そこで、書きこみにくい黒にあわせた電圧を印加し、その後所定の電流値をソース信号線に流すことで所定の階調を表示するようにする。

【0044】

このように、水平走査期間の始めに黒電圧を印加することで低階調は表示しやすくなったが、上記の動作では、高階調表示においては、一度黒表示状態となってから高階調表示へ変化するため、高階調まで変化する前に水平走査期間が終わる可能性がある。2 つ以上の水平走査期間にわたって高階調表示をする場合 (例えば階調 A、階調 B、いずれも黒を示す階調とは異なる)、黒電圧を印加する場合、ソース信号線の状態は黒→階調 A→黒→階調 B と変化する。一方黒電圧を印加しない場合にはソース信号線の状態は階調 A→階調 B と変化する。黒→階調 B に比べ、階調 A→階調 B の方が変化量小さく、早く変化する。

【0045】

そこで、電圧発生部 11 を出力 18 に印加するかどうかのスイッチ 16 の制御を表示階調に応じて変更できるようにする。具体的には高階調表示時に、電圧を印加しな

いようにする。

【0046】

そのためにスイッチ 16 の制御を行なう電圧出力制御部 12 に階調データ 13 を入力し、階調データ 13 の値に応じて、電圧出力制御部 12 の出力を変化できるようにした。

【0047】

例えば 64 階調表示を行なう場合（階調ゼロを黒、階調 63 を白とする）、スイッチ 16 が 1 水平走査期間の間非導通となる階調は階調 4 から階調 63 とすると、階調データ 13 の第 1 の所定値は 4 であり、階調が 3 以下になると、1 水平走査期間のうちの開始時点を含む本発明の第 2 の所定期間の一例である 1 ～ 3 μ 秒間だけ電圧発生部 11 の電圧が 18 に出力されるように電圧制御部 12 が制御される。また、第 1 の所定値が 1 とすると（すなわち、階調 1 から階調 63 が白とすると）、階調ゼロのときにのみ 1 水平走査期間のうちの開始時点を含む 1 ～ 3 μ 秒だけ電圧発生部 11 の電圧が 18 に出力されるように電圧出力制御部 12 が制御される。そして、電圧が出力された後、電流発生部 14 から階調データ 13 に対応する電流が 1 水平期間の終了時点を含む期間で出力されるように電流出力制御部 15 が制御される。

【0048】

図 3 から図 7 に電流発生部の構成の例を示す。ここでは、一例として階調データが 4 ビット、16 階調の場合で説明を行なう。

【0049】

図 3 の 34 は電流源となるトランジスタで、ゲート電圧に応じた電流が流れる。出力 18 とトランジスタ 34 の間にはスイッチ 33 が接続される。データのビットの重みに応じてスイッチ 33 に接続するトランジスタ数を変えることでデータに応じた電流が 18 に出力される。最下位ビットにはトランジスタ 1 つ、次に上位ビットにはトランジスタ 2 つ、次に上位ビットにはトランジスタ 4 つ、最上位ビットにはトランジスタ 8 つが接続される。階調データ 13 に応じてスイッチ 33 をオンオフさせることで、階調データ 13 に応じて出力と接続されるトランジスタ数が増減し、階調表示される。

【0050】

1 階調あたりの刻み幅の調整は可変抵抗 36 を変化させることで行なわれる。トランジスタ 35 とトランジスタ 34 はカレントミラー構成となり、トランジスタ 35 に流れる電流に対し、ミラー比に応じた電流がトランジスタ 34 を流れる。可変抵抗 36 の値を変化させるとトランジスタ 35 を流れる電流が変化するため、1 階調あたりの電流増加分を変化させることができる。

【0051】

図 4 も同様に出力に接続されるトランジスタの数により階調表示を行なうが、図 3 と異なる点は、1 階調あたりの刻み幅を決めるトランジスタ 34 の電圧を電圧源 41

により直接制御するようにした点である。

【0052】

図 5 は図 3 の可変抵抗 36 の代わりに定電流回路を接続したものである。電圧源 55 の電圧値と抵抗 53 によりトランジスタ 51 に流れる電流が決められる。階調に応じて電流値を変化させる方法は図 3、4 と同一である。

【0053】

図 6 はトランジスタ 63 のゲート電圧により出力 18 に流れる電流を変化させることで階調表示を行なうものである。ゲート電圧は階調データ 13 により変化する。階調データ 13 をデジタルアナログ変換部 61 によりアナログ信号に変換しこの信号がトランジスタ 63 のゲート電圧に入力されることで、電流を変化させる。

【0054】

図 3 から図 6 で生成された階調に応じた電流出力に対し、黒電圧を電圧発生部 11 にて発生させ、階調データ 13 及び 1 水平走査期間の時間に応じてスイッチ 16 を制御することで本発明が実現可能である。

【0055】

図 3 から図 6 は、1 出力の場合について説明する図である。複数列存在する場合に全ての列において同一階調時に同一電流出力を行なうためにはトランジスタ 34 に流れる電流が全ての列で等しくある必要がある。

【0056】

図 3 の構成で複数列において同一電流出力させるために電流発生部 14 を改良したのが図 7 である。可変抵抗 72 を流れる電流に対し、少なくとも 1 対のカレントミラー部を用意し、カレントミラーにより電流を複数の系統に分配する。必要であればさらにカレントミラーを構成し、複数の系統に電流を分配する。分配されたトランジスタ 75 のゲート信号線を各列のトランジスタ 34 のゲート信号線に接続することで、同一電流出力が得られる。このときゲート信号線が共通の各カレントミラーを形成するトランジスタは近接配置することでミラー比のばらつきが少なく電流を分配することができる。トランジスタ 75 b 及び 76 c のゲート信号線から先の構成は 75 a の構成と同じである。

【0057】

図 4 の構成では、電圧源 41 の出力を各行のトランジスタ 34 のゲート信号線に供給する。電圧源 41 の電圧によりトランジスタ 34 のゲート電圧を変化させることで 1 階調あたりの出力電流を制御できるようにした点が図 3 の構成と異なる点である。

【0058】

複数列にわたって同一電流を出力できるようにしたのが図 13 である。各列のトランジスタ 34 のゲート信号線全てに共通の電圧がかかるようにし、その電圧を電圧源 41 で供給できるようにした。例えば 34 a のトランジスタが 1 列目、34 b が 2 列目、34 c が 3 列目とする。この方法は、トランジスタ 34 のしきい値電圧がト

10

20

30

40

50

ランジスタごとにばらついた場合、全出力が同一階調であつても出力電流値が異なり、信号線ごとの筋のムラが発生する可能性がある。しかし、結晶シリコンを用いて作成する場合、隣接出力間でのしきい値電圧の差は小さいこと、しきい値電圧は1つのチップにおいてある方向になだらかに変化することから、表示を行なった場合にはムラは筋状にはならず、輝度は一端から他端へなだらかに変化するため、表示特性に問題はない。これにより簡単な構成で、電流発生部14が形成できる。

【0059】

図5は演算増幅器54及びトランジスタ52及び抵抗53を用いて定電流源を形成し、定電流源により流れる電流をトランジスタ51及び34のカレントミラーを用いてトランジスタ34にミラー比に応じた電流を流すようにした構成である。電流源に流れる電流は電圧源55と抵抗53及び抵抗53に接続された電源56の値により決まる。

【0060】

複数列にわたり同一電流を供給するには図7の構成のトランジスタ71及び可変抵抗72の代わりにトランジスタ51、52及び抵抗53、演算増幅器54、電圧源55を用いればよい。更に、トランジスタ73から75を用いず、トランジスタ51のゲート信号線を各列のトランジスタ34に供給してもよい(図14)。またトランジスタ52はバイポーラトランジスタとなっているが、MOSトランジスタを用いても同様に電流源を構成できる。

【0061】

本発明実施の形態における画素回路としては、図8に示す構成のものも考えられる。すなわち、図8に示す画素回路は、その一端が接地された表示素子84と、電源にそのドレイン側が接続された本発明の第1のトランジスタの一例であるトランジスタ82aと、前記表示素子84の他端にそのソース側が接続された本発明の第2のトランジスタの一例であるトランジスタ82bと、ソース信号線81aにそのソース側が接続された本発明の第3のトランジスタの一例である82cと、トランジスタ82cのドレイン側にそのソース側が接続された本発明の第4のトランジスタの一例であるトランジスタ82dと、トランジスタ82cのドレイン側にそのソース側が接続された本発明の第5のトランジスタの一例であるトランジスタ82eと、トランジスタ82aのゲート側にその一端が接続され、トランジスタ82aのドレイン側にその他端が接続されたコンデンサ83と、を有している。

【0062】

そして、トランジスタ82aのソース側は、トランジスタ82bのドレイン側に接続され、トランジスタ82bのゲート側は、本発明の第5制御線の一例である信号線87に接続され、トランジスタ82cのゲート側は、本

発明の第3制御線の一例である信号線85に接続され、トランジスタ82dのゲート側は、本発明の第4制御線の一例である信号線86に接続され、トランジスタ82dのドレイン側は、トランジスタ82aのゲート側に接続され、トランジスタ82eのゲート側は、トランジスタ82aのゲート側に接続され、トランジスタ82eのドレイン側は、トランジスタ82aのドレイン側に接続される。このような構成の画素回路も上記と同様の効果が得られる。

10 【0063】

以上のように本実施の形態の駆動用回路によれば、電流出力型の半導体回路において、所定の電流値に変化するまでに時間がかかる低階調領域においてのみ、低階調表示時の電流に対するソース電圧を出力できるようにしたこと、低階調表示時には黒電圧印加後所定電流を流すことで、短期間に電流を所定値に変化させ、高階調表示時には電流のみですばやく所定値に変化できるようになった。

【0064】

20 (実施の形態2)

実施の形態2の駆動用回路は、カラー表示のための駆動用回路に関する。

【0065】

有機発光素子でマルチカラーディスプレイを構成する方法として、赤、緑、青色に発光する素子を順に並べる方法(RGB並置法)や、白色発光素子とカラーフィルタを組み合わせた方法、青色発光素子と色変換層(CCM)を組み合わせた方法(Proceeding of International Display Workshop 1997, p581~584, 1997)などがある。

【0066】

有機発光素子の輝度に対する電流特性は、RGB並置法においては各色の発光効率が異なることから例えば図10に示すように同一輝度に対する電流値が異なる。またカラーフィルタを用いる方法では、各色でのカラーフィルタの透過率に違いがあれば、同一輝度に対する電流値が色ごとに異なる。またCCMを用いる場合においても、色変換効率が青から赤及び青から緑で異なるため、基本的には各色ごとに同一輝度に対する電流値は異なる。それゆえ発光開始電流も色ごとに異なる。図10の例では赤、緑、青はそれぞれIR、IG、IBとなる。

【0067】

そこで、本発明の第2の階調データを赤(R)の階調データとし、本発明の第3の階調データを緑(G)の階調データとし、本発明の第4の階調データを青(B)とする。図9に示す本発明の第2の電圧発生部の一例である電圧発生部81で発生する電圧は、ソース信号線にゼロ階調に必要な電流を流すときのソース信号線電圧であることから、色ごとに電圧が異なる。また、本発明の第2

の電流発生部の一例である電流発生部132は、赤の階調データに応じた電流を発生し、本発明の第3の電流発生部の一例である電流発生部133、緑の階調データに応じた電流を発生し、本発明の第4の電流発生部の一例である電流発生部134は、青の階調データに応じた電流を発生する。

【0068】

そして表示色ごとに異なる電圧を電圧発生部81から91、92、93に供給する。91には、本発明の第2の所定の電圧の一例である、赤(R)の発光素子の発光開始電流が流れる時のソース電位に対応した電圧(すなわち、赤のゼロ階調データに相当する電圧、以下VRという)を、92、93にも同様に本発明の第3の所定の電圧の一例である、緑(G)の発光素子の発光開始電流が流れる時のソース電位に対応した電圧(すなわち、緑のゼロ階調データに相当する電圧、以下VGという)を、本発明の第4の所定の電圧の一例である、青(B)の発光素子の発光開始電流が流れる時のソース電位に対応した電圧(すなわち、青のゼロ階調データに相当する電圧、以下VBという)を供給する。

【0069】

供給する電圧値は、図10に示すような有機発光素子の電流-輝度特性より発光開始電流(I_{dark})を算出する。画素が図2のようなカレントコピア構成であれば、有機発光素子24に流れる電流を制御するトランジスタ22aの電流-電圧特性において、ソース信号線21にI_{dark}だけ電流が流れる時のトランジスタ22aのゲート電圧を算出し、このゲート電圧を電圧発生部81において生成するようにする。

【0070】

すなわち、赤の階調データが第2の所定値より大きい場合は、電流発生部132から上記赤の階調データに応じた電流が1水平期間出力され、第2の所定値より小さい場合は、電圧発生部81からVRが1水平走査期間のうちの開始時点を含む1~3μ秒間だけ出力され、その後電流発生部132から上記赤の階調データに応じた電流が1水平期間の終了時点を含んで出力される。また、緑の階調データが第3の所定値より大きい場合は、電流発生部133から上記緑の階調データに応じた電流が1水平期間出力され、第3の所定値より小さい場合は、電圧発生部81からVGが1水平走査期間のうちの開始時点を含む1~3μ秒間だけ出力され、その後電流発生部133から上記緑の階調データに応じた電流が1水平期間の終了時点を含んで出力される。また、青の階調データが第4の所定値より大きい場合は、電流発生部134から上記青の階調データに応じた電流が1水平期間出力され、第4の所定値より小さい場合は、電圧発生部81からVBが1水平走査期間のうちの開始時点を含む1~3μ秒間だけ出力され、その後電流発生部134から上記青の階調データに応じた電流が1水平期間の終了時点

含んで出力される。

【0071】

また画素構成はカレントコピア構成ばかりでなく図8に示すようなカレントミラー構成の場合でも本発明を実施することが可能である。トランジスタ82aにI_{dark}の電流が流れるときのゲート電圧を電圧発生部81において生成すればよい。つまり画素の回路構成にかかわらず、有機発光素子に流れる電流を制御するトランジスタがI_{dark}の電流を流す時のゲート電圧を電圧発生部81で発生させればよい。

【0072】

また図9に示すように電圧値を表示色ごとに異なる構成とするばかりでなく、さらに電圧出力制御部12の出力を表示色ごとに変化させてもよい。例えば表示色ごとに、スイッチ16の導通時間を変えたり、スイッチ16を導通状態とする階調を変えたりする。これは所定電流値に変化するまでの時間が電流値により異なり、電流がたくさん流れるほど変化に要する時間が短いことから、発光開始電流が大きい表示色に比べ、小さい表示色ではより高階調側まで電圧発生部81の電圧を印加して、低階調表示しやすくするためである。

【0073】

図2の画素構成においてRGB並置法によるマルチカラー表示装置を作成した場合、階調0の時のみ1から3μ秒程度電圧発生部の電圧を印加すればよい。

【0074】

発光色の表示特性によっては、必ずしも電圧を印加しなくても低階調表示ができる。

【0075】

例えば図10に示す輝度-電流特性を持つ赤色発光素子(R)、緑色発光素子(G)、青色発光素子(B)でマルチカラー表示装置を作成した場合、黒を表示するための電流値が色ごとに異なり、赤色発光素子に比べ緑色発光素子では電流値が小さくなければならないことがわかる。

【0076】

図2や図8に示すような画素構成、並びに有機発光素子に流す電流をトランジスタの電流によりゲート電位を変化させ階調表示を行なう表示装置において、低電流になればなるほど、有機発光素子に流す電流を制御するトランジスタに流れる電流が所定電流値まで変化するのに要する時間が長くなる。特に最低電流に変化するのが最も時間がかかる。その結果、前の水平走査期間で流れた電流値から水平走査期間内で完全に黒階調の電流値にまで変化できず、ある途中の階調を示す電流が流れるため、黒表示が難しい。

【0077】

しかし、発光開始電流が大きい場合、必ずしもトランジスタに流れる電流が0でなくても黒表示が可能となる。赤色発光素子では電流がIR以下であればよいわけであ

る。水平走査期間の長さによっては、黒表示を行なう場合にIG以下の電流にまでは変化できないが、IGより大きくIB以下の電流にできることがある。この時、電圧発生部81より発生された電圧を印加しなくても赤及び青画素は黒表示可能で、緑画素のみ黒表示できない。

【0078】

そこで、図12に示すように、電圧出力制御部12にイネーブル信号121を表示色ごとに入力し、電圧発生部11の電圧を印加するかどうかを表示色ごとに選択できるようにしてもよい。上の例の表示装置においては、赤、青の121a及び121cにイネーブル信号を入力し、階調にかかわらず、すべての水平走査期間内でスイッチ16を非導通状態とし、121bのみ、階調データ13が階調ゼロを示すときに水平走査期間の一部の期間でスイッチ16が閉じるようにすればよい。これにより表示色ごとに黒電圧を印加するかどうかを選択できるようになる。

【0079】

またこの方法は、図9の構成に比べ、必要な表示色のみの電圧を印加する場合、電圧発生部11で発生する電圧の種類を削減することが可能である。1色のみの黒電圧印加の場合は3つから1つに、2色黒電圧印加の場合でも3つから2つに削減でき、電源部の回路規模を小さくすることが可能となる。

【0080】

以上のように本実施の形態の駆動用回路によれば、カラー表示のための電流出力型の半導体回路において、所定の電流値に変化するまでに時間がかかる低階調領域においてのみ、低階調表示時の電流に対するソース電圧を出力できるようにしたことで、低階調表示時には黒電圧印加後所定電流を流すことで、短期間に電流を所定値に変化させ、高階調表示時には電流のみですばやく所定値に変化できるようになった。

【0081】

なお、本実施の形態の説明において、第2の階調データが赤の階調データであり、第3の階調データが緑であり、第4の階調データが青である、として説明してきたが、第2～4の階調データは他の色のデータであってもよく、各色による輝度－電流特性が図10と同様の特性を示していれば、上記と同様の効果を得ることができる。

【0082】

(実施の形態3)

実施の形態3の駆動用回路は、黒電圧を印加せずに階調表示に遅れを生じさせない駆動用回路に関する。

【0083】

黒電圧印加により階調ゼロの場合に、所定電流値までに変化する時間が短くなったが、中間調表示時などでは電流変化する時間は変わらない。そこで階調ゼロ以外の全ての階調において変化時間を短くするために、出力18

に出力する電流値を所定のN倍($N > 1$)流す(すなわち、有機発光素子24が1垂直走査期間から1水平走査期間が減算された期間にわたって表示される際に流れる電流のN倍を流す)ようにし、輝度が増加する分点灯時間を従来の $1/N$ 倍とすることで所定輝度を出すようにした。

【0084】

図15にソースドライバ1の1列分の出力部の構成と対応する1画素分の回路構成を示した。ソース信号線21に所定電流値のN倍の電流を流すために、電圧源55もしくは抵抗53により低電流源に流れる電流をN倍とし、トランジスタ51に流れる電流がN倍となる。これによりカレントミラーを形成するトランジスタ34に流れる電流もN倍となるため、ソース信号線21に流れる電流をN倍とすることができる。このようにN倍の電流を流すのに階調データ13をN倍とするのではなく、トランジスタ34の1つあたりに流れる電流をN倍とすることで、容易にN倍電流をソース信号線21に出力することが可能である。

【0085】

次に有機発光素子24の点灯時間を $1/N$ 倍とするためにゲートドライバ2の出力波形を変更する。画素28に注目すると、トランジスタ22bは電源からの電流を制御する駆動用トランジスタ22aの電流を有機発光素子24に流すかどうかを選択するスイッチであるため、トランジスタ22bの導通時間を $1/N$ 倍とすれば、点灯時間が $1/N$ 倍となる。そこで図16に示すようにゲート信号線26の波形を図16(a)から図16(b)のように変更し、導通期間を161の期間(すなわち有機発光素子24の1垂直走査期間(1フレーム)中の表示時間)から、162の期間(すなわち1垂直走査期間から1水平走査期間が減算された期間の $1/N$ 倍)に変更することで点灯時間を $1/N$ 倍とした。

【0086】

ソース信号線21に流す電流値を多くすることで電源から流れる電流を制御するトランジスタ22aに流れる電流も多くなり、トランジスタ22aの見かけの抵抗値が下がる。これにより電源からトランジスタ22aを通して電流を供給する際に、ソース信号線21の浮遊容量29とトランジスタ22aの見かけの抵抗による波形なまりは時定数が小さくなることにより減少する。これにより全ての階調において、波形が所定電流値にまで変化するための時間が短くなる。

【0087】

なお、この方法は電流発生部14の構成が低電流源とカレントミラーによってできたもの以外でも、図3、図4の構成でも実現可能である。トランジスタ34のゲート電位を変化させればN倍電流出力を実現できるためである。

【0088】

また、上記の説明において、有機発光素子24表示時間が、1垂直走査期間から1水平走査期間内の第1の所定の期間が減算された期間であるときは、この期間を1/N倍 ($N > 1$) とし、流れる電流をN倍としてもよい。

【0089】

また表示部の画素構成もカレントコピア構成ばかりでなく、カレントミラー構成でも実現可能である。図17において、有機発光素子84の点灯時間を1/N倍できるようにスイッチ82bの導通時間をゲート信号線87により制御すればよいからである。

【0090】

以上のように本実施の形態の駆動用回路によれば、電流出力型の半導体回路において、所定の電流値に変化するまでに時間がかかる低階調領域においても黒電圧を発生する電圧発生部を必要とせずに、短期間に電流を所定値に変化させることができる。

【0091】

なお、以上までの説明では、本発明の駆動用回路、表示装置を構成するトランジスタは、n型MOSトランジスタとして図示、説明してきたが、p型MOSトランジスタであってもよい。図19に、図15に示す表示装置をp型MOSトランジスタで構成した場合の例を示す。また図20に示す表示装置は、図19に示す表示装置において、画素回路としてカレントミラー型のものが使用された例を示す。また図21に、図4に示す駆動用回路を、図22に、図3に示す駆動用回路を、図23に、図3に示す駆動用回路を、それぞれp型MOSトランジスタで構成した場合の例を示す。

【0092】

また、以上までの説明において、各図に示す電流発生部の構成は、一例として階調データが4ビット、16階調の場合で説明を行なったが、任意のビット数でも同様に実現可能である。その場合は、ビットの重みに対応した数のトランジスタとスイッチを用意すれば実現可能であるし、また、例えば図6に記載の回路においては、デジタルアナログ変換部61の入力ビット数を増減させればよい。

【0093】

また、以上までの説明において、各階調データが各所定値以上の場合は、電流出力を1水平期間内行なう、として説明してきたが、電流出力が1水平期間内の適当な期間(第1の所定期間)内に行なわれてもよい。また、各階調データが各所定値より小さい場合は、上記第1の所定期間内の第2の所定期間(1~3μsec)内に各所定の電圧出力が行なわれ、その後第1の所定の期間の終了時点まで電流出力が行なわれてもよい。その場合は、第2の所定期間は、第1の所定期間の終了時点を含まない。また、第2の所定期間は第1の所定期間の開始時点を含まなくてもよい。すなわち、電圧出力が第1の所定期間内の適当な期間で行なわれ、その後電流出力により

トランジスタ22aに流れる電流を第1の所定期間内に変化させることができれば、上記と同様の効果を得ることができる。

【0094】

また、以上までの説明では、第1の所定期間の開始時点からは電圧が出力され、その後電流が出力されるとして説明してきたが、電圧が出力されると同時に電流が出力されていてもよい。その場合も、第1の所定期間の終了時点までに電圧出力が終了していれば、上記と同様の効果を得ることができる。

【0095】

また、以上までの説明では、各所定の電圧は、各階調データのうちゼロ階調データに相当する電圧(すなわち黒電圧)であるとして説明してきたが、各所定の電圧は、黒電圧に近い電圧であってもよい。その場合は、電圧を出力後、電流を出力している間に画素の階調表示に遅れが生じない程度の電圧が出力されれば上記と同様の効果を得ることができる。

【0096】

また、以上までの説明では、各所定の電圧は、各階調データのうちゼロ階調データに相当する電圧であるとして説明してきたが、各所定の電圧は、ゼロ階調に相当するものではなく、各階調データのうち最も低い階調データに相当する電圧であってもよい。その場合も上記と同様の効果を得ることができる。

【0097】

また、以上の発明においてトランジスタはMOSトランジスタとして説明を行なったがMISトランジスタやバイポーラトランジスタでも同様に適用可能である。

【0098】

またトランジスタは結晶シリコン、低温ポリシリコン、高温ポリシリコン、アモルファスシリコン、ガリウム砒素化合物などどの材質でも本発明を適用可能である。

【0099】

表示素子として、有機発光素子で説明を行なったが、無機エレクトロルミネッセンス素子、発光ダイオードなど電流と輝度が比例関係となる表示素子ならどのような素子を用いても実施可能である。

【0100】

【発明の効果】

本発明によれば、低階調時においても、階調表示に遅れを生じない画素回路の駆動方法、駆動用回路、表示装置を提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施の形態による電流出力部及び電圧出力部の構成を示した図である。

【図2】図2は、ソース信号線に流れる電流に応じて階調表示を行なう表示装置の画素構成の1例を示した図である。

【図3】図3は、図1の構成において、カレントミラー

構成により電流発生部を形成した場合の図である。

【図4】図4は、図1の構成において、低電流源となるトランジスタのゲート信号線に電圧を印加することで電流を調整できるようにした図である。

【図5】図5は、図1の構成において、カレントミラー構成により電流発生部を形成し、電流出力を行なうトランジスタとカレントミラーを構成するトランジスタの電流入力を低電流源で行なった場合の図である。

【図6】図6は、図1の構成において、電流発生部を階調に応じてトランジスタのゲート信号線電位を変えること
10 ことで階調に応じた電流出力を出せる構成とした図である。

【図7】図7は、図3の構成の電流発生部を用いて複数の列に同一の電流値を出力できるようにしたときの電流発生部の構成を示した図である。

【図8】図8は、ソース信号線に流れる電流に応じて階調表示を行なう表示装置の画素構成の1例を示した図である。

【図9】図9は、表示色の異なる複数列の場合に階調に応じた電流出力と、黒電圧を印加できるようにした図で
20 ある。

【図10】図10は、有機発光素子の表示色ごとの輝度-電流特性の例を示した図である。

【図11】図11は、ある水平走査期間内での、電流出力と電圧出力のタイミングを示した図である。

【図12】図12は、図9の構成において、電圧発生部の電圧出力を1系統にした場合の図である。

【図13】図13は、図4の構成の電流発生部を用いて複数の列に同一の電流値を出力できるようにしたときの電流発生部の構成を示した図である。
30

【図14】図14は、図5の構成の電流発生部を用いて複数の列に同一の電流値を出力できるようにしたときの電流発生部の構成を示した図である。

【図15】図15は、カレントコピャ構成の画素及び1列分のソースドライバ出力部の構成を示した図である。

【図16】図16は、図15の構成における1フレーム内でのゲート信号線波形を示した図である。

【図17】図17は、カレントミラー構成の画素及び1

列分のソースドライバ出力部の構成を示した図である。

【図18】図18は、本発明の一実施の形態の駆動回路の動作を説明する図である。

【図19】図19は、本発明の一実施の形態の表示装置をp型MOSトランジスタで構成した一例を示す図である。

【図20】図20は、本発明の一実施の形態の表示装置をp型MOSトランジスタで構成した一例を示す図である。

【図21】図21は、本発明の一実施の形態の駆動回路をp型MOSトランジスタで構成した一例を示す図である。

【図22】図22は、本発明の一実施の形態の駆動回路をp型MOSトランジスタで構成した一例を示す図である。

【図23】図23は、本発明の一実施の形態の駆動回路をp型MOSトランジスタで構成した一例を示す図である。

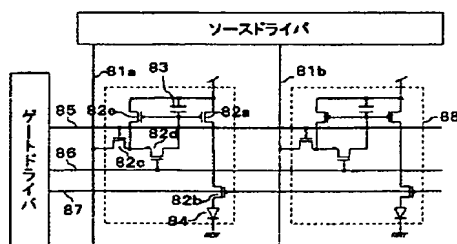
【図24】図24は、従来技術の駆動回路の構成を示す図である。

【図25】図25は、従来の表示装置の構成を示す図である。

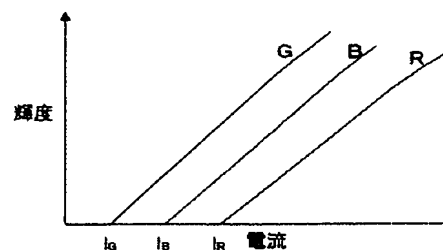
【符号の説明】

- 1 ソースドライバ
- 2 ゲートドライバ
- 11、81 電圧発生部
- 12 電圧出力制御部
- 13 階調データ
- 14 電流発生部
- 15 電流出力制御部
- 16、17 スイッチ
- 18 出力信号線
- 21a ソース信号線
- 22a～e トランジスタ
- 23 コンデンサ
- 24 有機発光素子
- 25、26 信号線

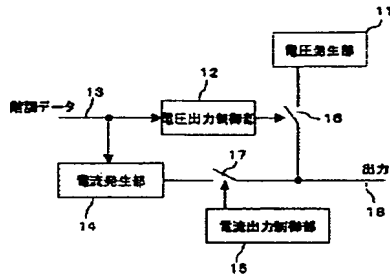
【図8】



【図10】

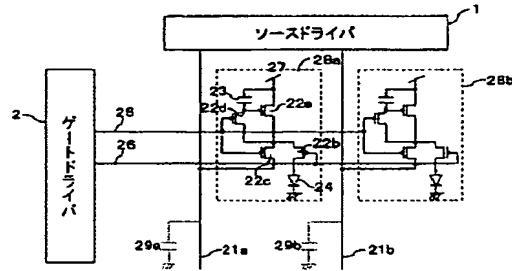


【図1】



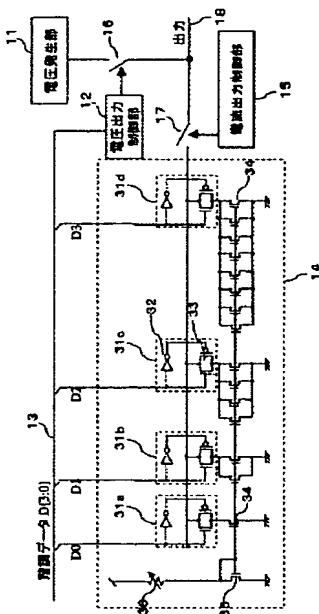
16, 17:スイッチ

【図2】

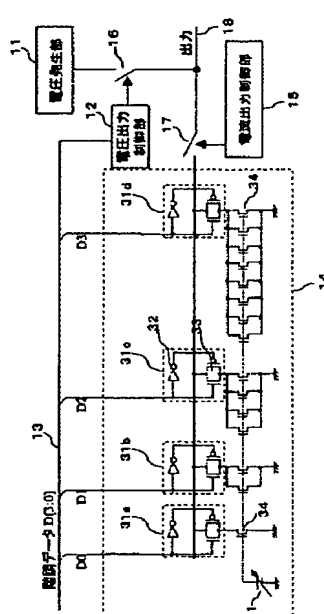


【図5】

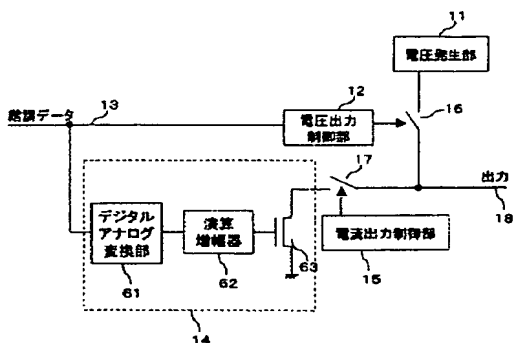
【図3】



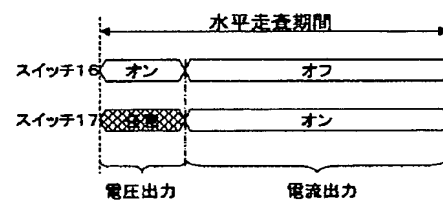
【図4】



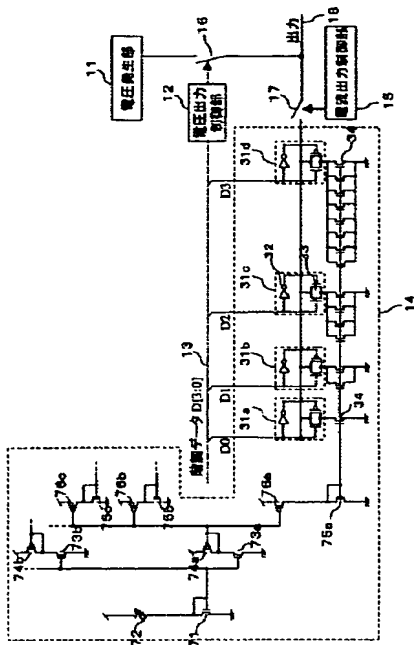
【図6】



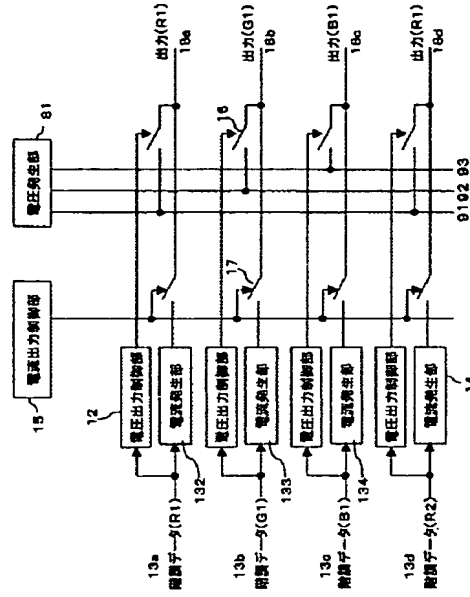
【図11】



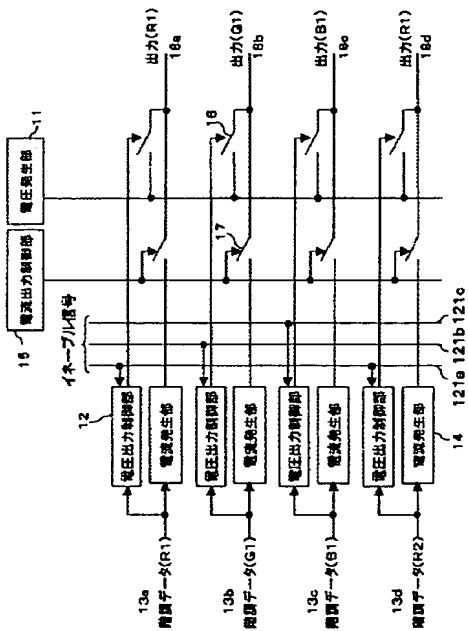
【図7】



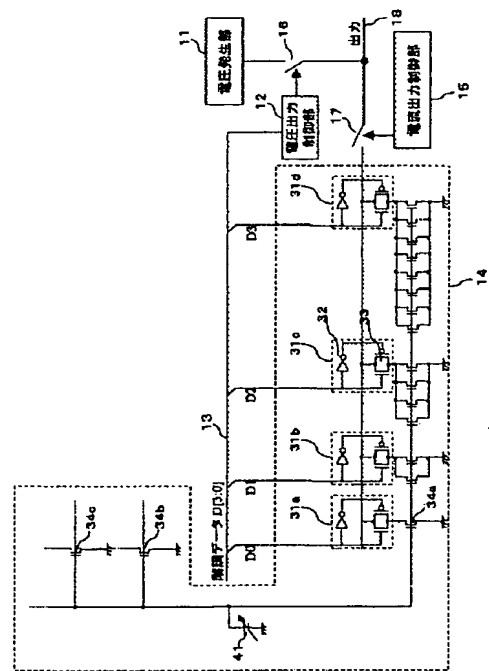
【図9】



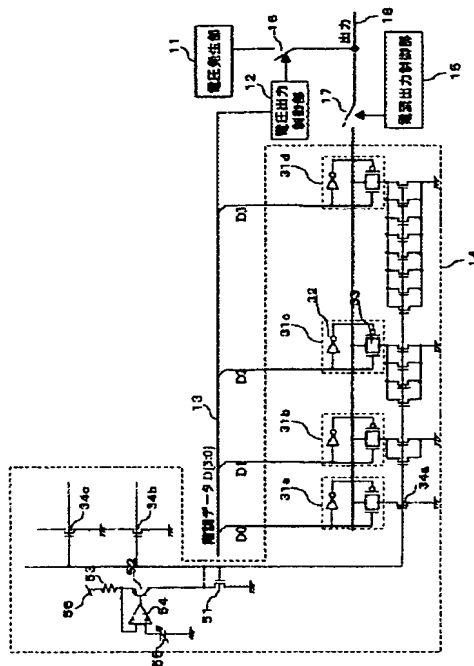
【図 12】



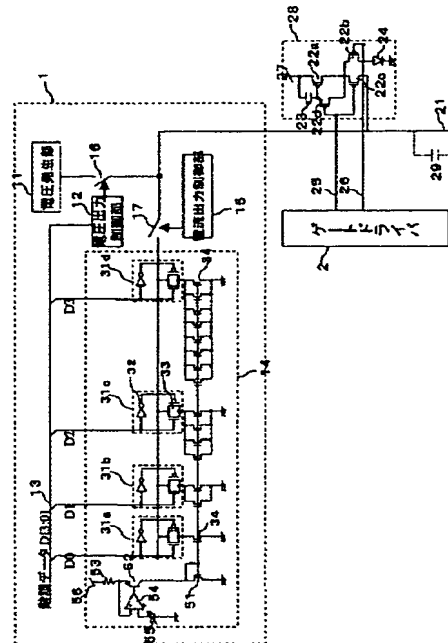
【図 13】



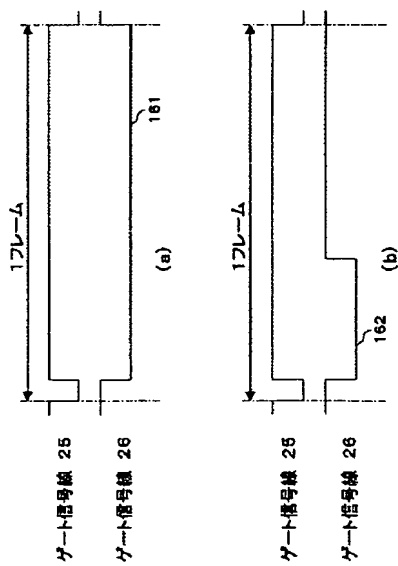
【图 14】



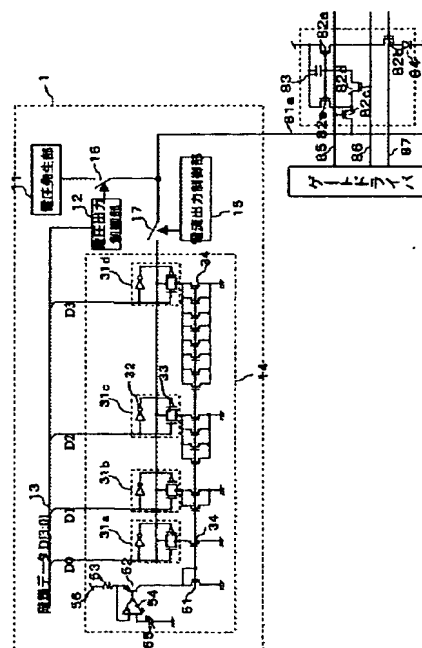
【図 15】



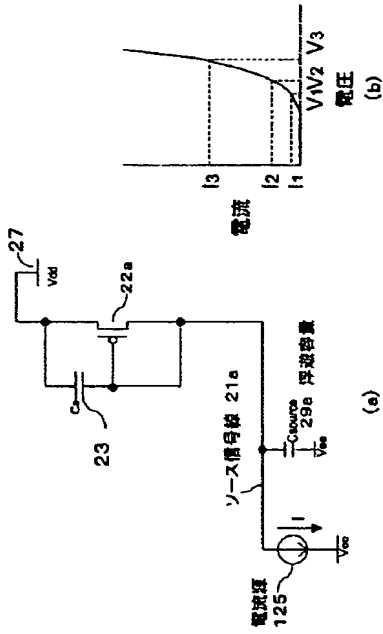
【図 16】



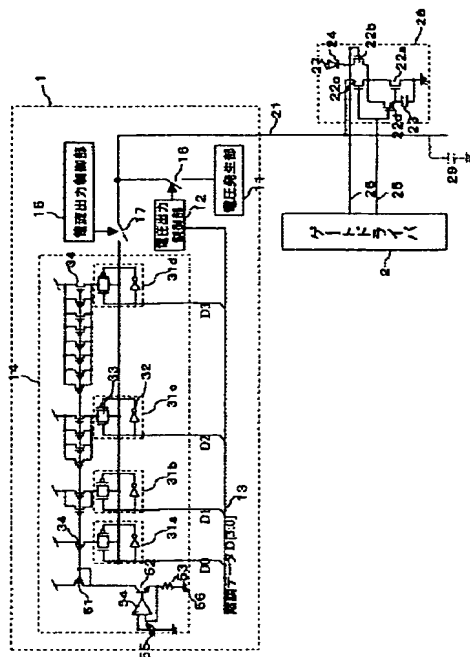
【图 17】



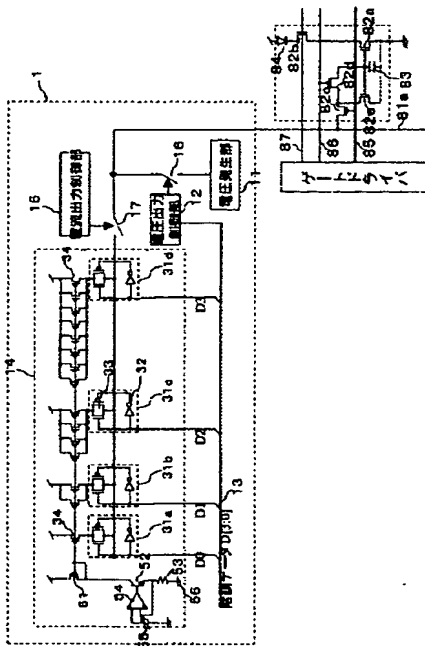
【図18】



【図19】



【図20】



【図21】

